



Korea patent office (KR) Unexamined Patent Publication(A)

KOREAN

(51) Int.Cl. H01L 21/312

Publication No 10-2001-0055915

Publication Date 2001-07-04

Application No 10-1999-0057250

Application Date 1999-12-13

Agent Jong-Man Park

Inventor

Hui-Seok Yang

Applicant SAMSUNG ELECTRONICS CO., LTD.

Examination Not Requested

Title of Invention METHOD FOR FABRICATING INTER LAYER DIELECTRIC IN THE MANUFACTURING SEMICONDUCTOR

* Legal Status

Date of request for an examination 00000000

Notification date of refusal decision 00000000

Final disposal of an application withdrawal

Date of final disposal of an application 20041214

Patent registration number

Date of registration 00000000

Number of opposition against the grant of a patent

Date of opposition against the grant of a patent 00000000

Number of trial against decision to refuse

Date of requesting trial against decision to refuse

Date of extinction of right



Abstract

Purpose: it discloses about the interlayer insulating film forming method of the semiconductor manufacturing method which can prevent the etching of a sub-layer and void formation by completing the interlayer insulating film firstly after forming the BSG layer with the time difference in which the source gas of the phosphorous and boron is stabilized in the interlayer dielectric layer deposition initial and which is flown on a sub-layer.

목적 : 층간절연막 증착초기에 보론과 포스퍼스의 소스가스가 안정화되어 플로우되는 시간 차이에 의해 하부막질 상에 BSG층을 먼저 형성시킨 후 층간절연막을 완성함으로써 보이드 형성 및 하부막질의 식각을 방지할 수 있는 반도체 제조방법의 층간절연막 형성방법에 대해 개시한다.

Configuration: the interlayer insulating film forming method of the semiconductor manufacturing method of the present invention is characterized that it is made including the step, forming the etch stopper the step forming the boronphosphorus silicate glass layer which is the second insulating layer with source gases on the step putting a difference in the time when source gases are stabilized and firstly forms the BSG layer which is the first insulating layer of the prescribed thickness and the first insulating layer and the step that flow a wet.

구성 : 본 발명의 반도체 제조방법의 층간절연막 형성방법은, 에치스토퍼를 형성시키는 단계와; 소스가스들이 안정화되는 시간에 차이를 두어 소정 두께의 제1 절연막인 BSG층을 먼저 형성시키는 단계와; 제1 절연막 상에, 소스가스들에 의해 제2 절연막인 BPSG층을 형성시키는 단계와; 웨트 플로우시키는 단계를 포함하여 이루어진 것을 특징으로 한다.

Effect: it can prevent from the etch stopper being etched with the phosphoric acid (H_3PO_4) generated around the wet flow the BSG layer is formed between the boronphosphorus silicate glass layer which is the etch stopper and interlayer insulating film. Moreover, by the time difference being put and stabilizing and supplying the source gas of the phosphorous and boron the void formation can be prevented. In conclusion, the characteristic of the semiconductor device is improved and a yield can be improved.

효과 : 에치스토퍼와 층간절연막인 BPSG층 사이에 BSG층이 형성됨으로써 웨트 플로우시 발생하는 인산(H_3PO_4)에 의해 에치스토퍼가 식각되는 것을 방지할 수 있다. 또한, 보론과 포스포러스의 소스 가스를 시간차를 두고 안정화시켜 공급함으로써 보이드 형성을 방지할 수 있다. 결국, 반도체소자의 특성을 향상시켜 수율을 향상시킬 수 있다.

Description

■ Brief Explanation of the Drawing(s)

Fig. 1 is an embodiment of the present invention. The cross-sectional view which schematically shows the result of performance water the interlayer insulating film forming method. And figure 2 is a cross-sectional view which the graph, and Fig. 3 schematically show the result of performance water the conventional interlayer insulating film forming method, and the graph showing the stabilization process of the source gas used for the conventional interlayer insulating film forming Fig. 4 showing the stabilization process of the source gas used for the interlayer insulating film forming of the present invention.

도 1은 본 발명의 일 실시예에로서, 층간절연막 형성방법을 수행한 결과물을 개략적으로 나타낸 단면도,

도 2는 본 발명의 층간절연막 형성에 사용되는 소스가스의 안정화 과정을 나타낸 그래프,

도 3은 종래의 층간절연막 형성방법을 수행한 결과물을 개략적으로 나타낸 단면도,

도 4는 종래의 층간절연막 형성에 사용되는 소스가스의 안정화 과정을 나타낸 그래프이다.

****The description of reference numerals of the main elements in drawings****

****도면의 주요부분에 대한 부호의 설명****

100: substrate 200: pattern.

100: 기판 200: 패턴

300: silicon nitride film 400: boronphosphorus silicate glass layer.

300: 실리콘 질화막 400: BPSG층

500: BSG layer.

500: BSG층

■ Details of the Invention

■ Purpose of the Invention

- The Technical Field to which the Invention belongs and the Prior Art in that Field

The present invention relates to the semiconductor manufacturing method, particularly, to the interlayer insulating film forming method of the semiconductor manufacturing method which can prevent the etching of a sub-layer and void formation by completing the interlayer insulating film firstly after forming the BSG layer with the time difference in which the source gas of the phosphorous and boron is stabilized in the interlayer dielectric layer deposition initial and which is flown on a sub-layer.

본 발명은 반도체 제조방법에 관한 것으로, 특히 층간절연막 증착초기에 보론과 포스포러스의 소스가 안정화되어 플로우되는 시간 차이에 의해 하부막질 상에 BSG층을 먼저 형성시킨 후 층간절연막을 완성함으로써 보이드 형성 및 하부막질의 식각을 방지할 수 있는 반도체 제조방법의 층간절연막 형성방법에 관한 것이다.

There is a problem that of a void is formed in the interlayer insulating film flow which the thin film is evaporated in an initial in the state that the boron (B) and phosphorous (P) are not nearly flown and is the subsequent processes when depositing the interlayer insulating film (Inter Layer Dielectric) with the flow rate difference with BPSG.

층간절연막(Inter Layer Dielectric)을 증착할 때 초기에는 보론(B)과 포스포러스(P)가 거의 플로우되지 않는 상태에서 막질이 증착되어 후속 공정인 층간절연막 플로우시 BPSG와의 유속 차이에 의해 보이드가 형성되는 문제가 있다.

The method for flowing the triethylborate (TEB) which was the source of the phosphorous and boron to the plan for resolving this problem, and the triethylphosphate (TEPO) and stabilizing was introduced. But the silicon nitride film which is a sub-layer is etched and the problem that the silicon substrate of the active area is oxidized is this case generated.

이러한 문제를 해결하기 위한 방안으로 보론과 포스포러스의 소스인 트리에틸보레이트(TEB), 트리에틸포스페이트(TEPO)를 플로우하여 안정화시키는 방법이 도입되었다. 그러나, 이 경우에도 하부막질인 실리콘 질화막이 식각되어 활성영역의 실리콘 기판이 산화되는 문제점이 발생한다.

As to this, the phosphoric acid (H_3PO_4) is formed in TEPO which is flown in the interlayer dielectric layer deposition initial, and the wet flow in which the phosphorous and boron exist in the interface of the silicon nitride film and following with TEB with H_2 and injected O_2 gas. As to the phosphoric acid, as the etchant material of the silicon nitride film, in conclusion, the phosphoric acid on an interface etches the silicon nitride film. The silicon substrate is oxidized with O_2 gas if an etching is completely made. This well shows up in figs. 3 and 4.

이는, 층간절연막 증착 초기에 플로우된 TEPO, TEB에 의해서 포스포러스와 보론이 실리콘 질화막과의 계면에 존재하다가 후속하는 웨트 플로우(wet flow)시, 주입되는 H_2 및 O_2 가스에 의해 인산(H_3PO_4)이 형성된다. 상기 인산은 실리콘 질화막의 식각물질을, 결국 계면 상의 인산은 실리콘 질화막을 식각하게 되고, 만약 완전히 식각이 이루어진다면 O_2 가스에 의해 실리콘 기판이 산화되는 것이다. 이는 도 3과 도 4에 잘 나타나 있다.

Fig. 3 is a cross-sectional view schematically showing the result of performance water the

conventional interlayer insulating film forming method. Fig. 4 is a graph showing the stabilization process of the source gas used for the conventional interlayer insulating film forming.

도 3은 종래의 층간절연막 형성방법을 수행한 결과물을 개략적으로 나타낸 단면도이고, 도 4는 종래의 층간절연막 형성에 사용되는 소스가스의 안정화 과정을 나타낸 그래프이다.

Referring to Fig. 3, the silicon nitride film (30) is formed with the predetermined process as the on the substrate (10) on the pattern (20) which is the result of performance water. The boronphosphorus silicate glass layer (40) which is the interlayer insulating film on the silicon nitride film (30) is formed.

도 3을 참조하면, 기판(10) 상에 소정의 공정을 수행한 결과물인 패턴(20) 상에 실리콘 질화막(30)이 형성되어 있고, 상기 실리콘 질화막(30) 상에 층간절연막인 BPSG층(40)이 형성되어 있다.

At this time, when the interlayer insulating film is formed, the thin film is evaporated from the state that the boron and phosphorous are not nearly flown in an initial and as shown in Fig. 4, the difference can know in the interlayer insulating film flow which is the subsequent processes that of a void can be formed by the difference of a flux with BPSG.

이 때, 상기 층간절연막이 형성될 시에는, 도 4에 도시된 바와 같이, 초기에는 보론과 포스포러스가 거의 플로우되지 않는 상태에서 막질이 증착되어 후속 공정한 층간절연막 플로우시 BPSG와의 유속의 차이에 의해 보이드가 형성될 수 있음을 알 수 있다.

Moreover, the phosphorous exists between BPSG which is the evaporated interlayer insulating film and the silicon nitride film which is the etch stopper and the phosphoric acid is generated in the wet flow which thereafter it progresses. And it can know that the generated phosphoric acid as described above is to the structure of etching the silicon nitride film.

또한, 증착된 층간절연막인 BPSG와 에치스토퍼인 실리콘 질화막 사이에는 포스포러스가 존재하게 되어 이후에 진행되는 웨트 플로우시 인산이 발생하게 되며, 상기 발생된 인산이 실리콘 질화막을 식각할 수 있는 구조로 되어 있음을 알 수 있다.

In this way, conventionally, there is a problem that the oxidation of the silicon substrate according to the etching of the silicon nitride film by the void formation and phosphoric acid go on in the interlayer insulating film forming and the characteristic of the semiconductor device is degraded.

이와 같이, 종래에는 층간절연막 형성시 보이드 형성 및 인산에 의한 실리콘 질화막의 식각에 따른 실리콘 기판의 산화가 진행되어 반도체소자의 특성을 열화시키는 문제점이 있었다.

• The Technical Challenges of the Invention

Therefore, an object of the present invention is to provide the interlayer insulating film forming method of the semiconductor manufacturing method which can prevent the etching of a sub-layer and void formation by completing the interlayer insulating film firstly after forming the BSG layer with the time difference in which the source gas of the phosphorous and boron is stabilized in the interlayer dielectric layer deposition initial and which is flown on a sub-layer.

따라서, 본 발명의 목적은 층간절연막 증착초기에 보론과 포스포러스의 소스가스가 안정화되어 플로우는 시간 차이에 의해 하부막질 상에 BSG층을 먼저 형성시킨 후 층간절연막을 완성함으로써 보이드 형성 및 하부막질의 식각을 방지할 수 있는 반도체 제조방법의 층간절연막 형성방법을 제공하는데 있다.

■ Structure & Operation of the Invention

To achieve the above object, the processing temperature on the step that the interlayer insulating film forming method of the semiconductor manufacturing method of the present invention forms the etch stopper on the wafer performing the predetermined process and the step forming the second insulating layer on the step that the source gas more than the different chromium is flowed at least and that puts a difference on the etch stopper in the time when source gases are stabilized and that firstly forms the first insulating layer of the prescribed thickness and the first insulating layer with source gases and outcome, is 800°C ~ 900°C, and the process time is 10 second ~ 60 second in range are characterized that it is made of the set up condition including the step flowing O₂ and H₂.

상기한 목적을 달성하기 위해 본 발명의 반도체 제조방법의 층간절연막 형성방법은, 소정의 공정을 수행한 웨이퍼 상에 에치스토퍼를 형성시키는 단계와; 상기 에치스토퍼 상에, 적어도 서로 다른 두께 이상의 소스가스를 플로우시키되 상기 소스가스들이 안정화되는 시간에 차이를 두어 소정 두께의 제1 절연막을 먼저 형성시키는 단계와; 상기 제1 절연막 상에, 상기 소스가스들에 의해 제2 절연막을 형성시키는 단계와; 상기 결과물 상에, 공정온도가 800°C ~ 900°C, 공정시간이 10초 ~ 60초 범위내에서 설정된 조건으로 O₂ 및 H₂를 플로우시키는 단계;를 포함하여 이루어진 것을 특징으로 한다.

At this time, it is preferable that in the first insulating layer, the BSG layer, the second insulating layer evaporated to 10Å ~ 150Å range is the boronphosphorus silicate glass layer.

이 때, 상기 제1 절연막은 10Å ~ 150Å 범위로 증착된 BSG층이며, 상기 제2 절연막은 BPSG층인 것이 바람직하다.

It illustrates for below, and the attached preferred embodiment of the present invention.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 설명한다.

Fig. 1 is an embodiment of the present invention. It is the cross-sectional view which schematically shows the result of performance water the interlayer insulating film forming method. Fig. 2 is a graph showing the stabilization process of the source gas used for the interlayer insulating film forming of the present invention.

도 1은 본 발명의 일 실시예에로서, 층간절연막 형성방법을 수행한 결과물을 개략적으로 나타낸 단면 도이고, 도 2는 본 발명의 층간절연막 형성에 사용되는 소스가스의 안정화 과정을 나타낸 그래프이다.

Referring to Fig. 1, the silicon nitride film (300) is formed with the predetermined process as the on the substrate (100) on the pattern (200) which is the result of performance water. The boronphosphorus silicate glass layer (400) which is the interlayer insulating film on the silicon nitride film (300) is formed. At this time, the silicon nitride film (300) deposits with about 100Å. It deposits the interlayer insulating film with about 9.5k Å. Here, thereafter the silicon nitride film acts on the etch stopper. The structure of describing in the above can know to be identical with a convention.

도 1을 참조하면, 기판(100) 상에 소정의 공정을 수행한 결과물인 패턴(200) 상에 실리콘 질화막(300)이 형성되어 있고, 상기 실리콘 질화막(300) 상에 층간절연막인 BPSG층(400)이 형성되어 있다. 이 때, 실리콘 질화막(300)은 100Å 정도 증착하고, 상기 층간절연막을 9.5kÅ 정도 증착한다. 여기서, 상기 실리콘 질화막은 이후에 에치스토퍼로 작용하게 된다. 상기한 구조는 종래와 동일함을 알 수 있다.

In the structure as described above, the silicon nitride film (300) is etched with the phosphoric acid.

Therefore, it is the characteristic part of the present invention. The BSG layer (500) is more formed between the boronphosphorus silicate glass layer (400) which is the silicon nitride film (300) and interlayer insulating film.

상기와 같은 구조에서는 인간에 의해 실리콘 질화막(300)이 식각되므로, 본 발명의 특징부로서, 상기 실리콘 질화막(300)과 층간절연막인 BPSG층(400) 사이에 BSG층(500)을 더 형성시키고 있다.

In order that the BSG layer (500) is formed, it flows in the state stabilizing TEB which is the source gas of the boron in the interlayer dielectric layer deposition initial. This is well illustrated in Fig. 2.

상기 BSG층(500)을 형성시키기 위해, 상기 층간절연막 증착 초기에 보론의 소스가스인 TEB를 안정화시킨 상태에서 플로우시킨다. 이는 도 2에 잘 도시되어 있다.

As shown in Fig. 2, TEB is already stabilized and it flows to about 200 sccm. It can know to TEPO be stabilized after approximately, 9 second and be flown to about 40 sccm. Here, TEOS is stabilized from an initial and it is flown to about 600 sccm.

도 2에 도시된 바와 같이, TEB는 이미 안정화되어 200 sccm 정도로 플로우시키고, 대략 9초 뒤에 TEPO가 안정화되어 40 sccm 정도로 플로우됨을 알 수 있다. 여기에 TEOS가 초기부터 안정화되어 600 sccm 정도로 플로우되고 있다.

It can know firstly that the BSG layer is formed owing to the above-described condition on the silicon nitride film. The BSG layer evaporates to approximately, 100Å in and out. The boronphosphorus silicate glass layer is formed owing to a next, TEOS, and TEB and TEPO.

상기한 조건에 의해 실리콘 질화막 상에 BSG층이 먼저 형성됨을 알 수 있다. 상기 BSG층은 대략 100Å 내외로 증착시킨다. 이후, 상기 TEOS, TEB 및 TEPO에 의해 BPSG층이 형성된다.

In the meantime, flow in an outcome a wet. It flows O₂ and H₂ and the wet flow the processing temperature as to the process time, progresses in 830°C for 30 second. At this time, conventionally, the phosphoric acid was formed owing to P existing in the interphase of the boronphosphorus silicate glass layer and silicon nitride film and the silicon nitride film was etched. But the present invention can know that the silicon nitride film which is a sub-layer is protected since the phosphoric acid is unable to etch the BSG layer although the BSG layer is formed owing to the processing procedure of describing in the above on the silicon nitride film and P exists in the interphase of the boronphosphorus silicate glass layer and BSG layer.

한편, 상기 결과물에 웨트 플로우시키게 되는데, 상기 웨트 플로우는, 공정온도가 830°C에서, 공정시간은 30초 동안 O₂와 H₂를 플로우시켜 진행한다. 이 때, 종래에는 실리콘 질화막과 BPSG층의 계면상에 존재하는 P에 의해 인산이 형성되어 상기 실리콘 질화막이 식각되었으나, 본 발명은 상기한 공정 과정에 의해 상기 실리콘 질화막 상에 BSG층이 형성되어 상기 BSG층과 BPSG층의 계면상에 P가 존재한다 하더라도 인산이 상기 BSG층을 식각하지 못하므로 하부막질인 실리콘 질화막이 보호됨을 알 수 있다.

Moreover, after flow in the state stabilizing TEB which is the source gas of the boron in the interlayer dielectric layer deposition initial, it can know to suppress the void formation by TEPO being stabilized and flowing.

또한, 상기 층간절연막 증착 초기에 보론의 소스가스인 TEB를 안정화시킨 상태에서 플로우시킨 후, TEPO를 안정화시켜 플로우시킴으로써 보이드 형성을 억제할 수 있음을 알 수 있다.

In this way, a difference can know to put a difference in the settling time of the source gas forming the interlayer insulating film and can prevent the etching of the etch stopper and void formation.

이와 같이, 층간절연막을 형성하는 소스가스의 안정화시간에 차이를 두어 보이드 형성 및 에치스토퍼의 식각을 방지할 수 있음을 알 수 있다.

■ Effects of the Invention

As described above, it can prevent from the etch stopper being etched with phosphoric acid generated around the wet flow as to ***, the BSG layer is formed between the boronphosphorus silicate glass layer which is the etch stopper and interlayer insulating film of the semiconductor manufacturing method.

상술한 바와 같이, 본 발명에 따른 반도체 제조방법의 층간절연막 형성방법은, 에치스토퍼와 층간절연막인 BPSG층 사이에 BSG층이 형성됨으로써 웨트 플로우시 발생하는 인산에 의해 에치스토퍼가 식각되는 것을 방지할 수 있다.

Moreover, by the time difference being put and stabilizing and supplying the source gas of the phosphorus and boron the void formation can be prevented. In conclusion, the characteristic of the semiconductor device is improved and a yield can be improved.

또한, 보론과 포스퍼스의 소스가스를 시간차를 두고 안정화시켜 공급함으로써 보이드 형성을 방지할 수 있다. 결국, 반도체소자의 특성을 향상시켜 수율을 향상시킬 수 있다.

The present invention is not restricted to the above-described embodiment. And it is clear that many deformation is available in the relevant field in the technical mapping of the present invention with a person skilled in the art.

본 발명은 상술한 실시예에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당분야에서 통상의 지식을 가진 자에 의하여 많은 변형이 가능함은 명백하다.



Scope of Claims

Claim[1] :

The interlayer insulating film forming method of the semiconductor manufacturing method wherein it is made including the step, forming the etch stopper on the wafer performing the predetermined process the step forming the second insulating layer on the step that the source gas more than the different cranium is flowed at least and that puts a difference on the etch stopper in the time when source gases are stabilized and that firstly forms the first insulating layer of the prescribed thickness and the first insulating layer with source gases and the step that the processing temperature flows O_2 and H_2 on an outcome to the condition that $800^{\circ}C \sim 900^{\circ}C$, and the process time are set up in 10 second ~ 60 second in range.

소정의 공정을 수행한 웨이퍼 상에 에치스토퍼를 형성시키는 단계와;

상기 에치스토퍼 상에, 적어도 서로 다른 두개 이상의 소스가스를 플로우시키며 상기 소스가스들이 안정화되는 시간에 차이를 두어 소정 두개의 제1 절연막을 먼저 형성시키는 단계와;

상기 제1 절연막 상에, 상기 소스가스들에 의해 제2 절연막을 형성시키는 단계와;

상기 결과물 상에, 공정온도가 800°C ~ 900°C, 공정시간이 10초 ~ 60초 범위내에서 설정된 조건으로 O₂ 및 H₂를 플로우시키는 단계;

를 포함하여 이루어진 것을 특징으로 하는 반도체 제조방법의 증간절연막 형성방법.

Claim[2] :

The interlayer insulating film forming method of the semiconductor manufacturing method of claim 1, wherein it is the BSG layer evaporated to 10Å ~ 150Å range.

제 1 항에 있어서, 상기 제1 절연막은 10Å ~ 150Å 범위로 증착된 BSG층인 것을 특징으로 하는 반도체 제조방법의 증간절연막 형성방법.

Claim[3] :

The interlayer insulating film forming method of the semiconductor manufacturing method of claim 1, wherein the second insulating layer is the boronphosphorus silicate glass layer.

제 1 항에 있어서, 상기 제2 절연막은 BPSG층인 것을 특징으로 하는 반도체 제조방법의 증간절연막 형성방법.

**Representative Drawing(s)**

Fig. 1

**Keyword(s)**

The interlayer insulating film, the boron, and the phosphorous.